

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 2000164807 A

(43) Date of publication of application: 16.06.00

(51) Int. Cl. H01L 27/04
H01L 21/822

(21) Application number: 10334241

(22) Date of filing: 25.11.98

(71) Applicant: MATSUSHITA ELECTRIC IND CO LTD

(72) Inventor: TAKAMORI HIROKI

(54) SEMICONDUCTOR DEVICE

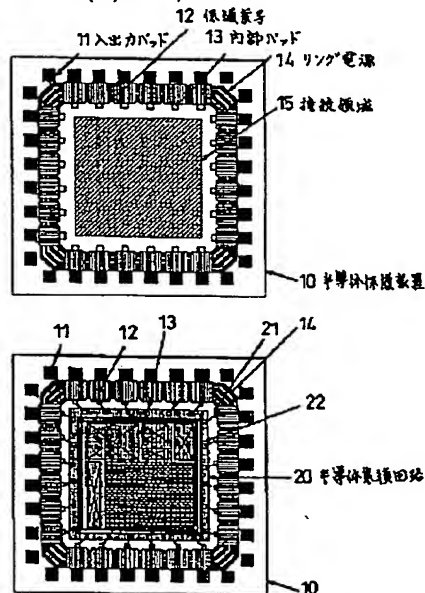
(57) Abstract:

PROBLEM TO BE SOLVED: To reduce a chip size of a semiconductor integrated circuit, contrive to stabilize a substrate potential, and enhance reliability by a method wherein an input/output pad and a protection element are disposed on a separate substrate to form a semiconductor protection device, and a connection region with the semiconductor integrated circuit is provided inwardly thereof.

SOLUTION: A signal is supplied to an input/output pad 11 of a semiconductor protection device 10 by bonding from a lead frame, and a surge voltage from outside is escaped by a protection element 12, and further when supplied from a multi-power source, a protection between different power sources is taken. Furthermore, in the periphery of a semiconductor integrated circuit 20, an inside pad 21 of this semiconductor protection device 10 and a small pad 22 for bonding are provided, whereby before supplying a signal to the semiconductor integrated circuit 20, it becomes possible to remove influences due to the surge voltage certainly. Accordingly, the

semiconductor integrated circuit is enabled to reduce a part in proportion to an area of a pad and a protection element, thereby obtaining the semiconductor integrated circuit constituted by only an input/output circuit and an inside circuit.

COPYRIGHT: (C)2000,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-164807
(P2000-164807A)

(43) 公開日 平成12年6月16日 (2000.6.16)

(51) Int.Cl.⁷

H 0 1 L 27/04
21/822

識別記号

F I

H 0 1 L 27/04

テーマコード(参考)

H 5 F 0 3 8

審査請求 未請求 請求項の数 4 O L (全 5 頁)

(21) 出願番号

特願平10-334241

(22) 出願日

平成10年11月25日 (1998. 11. 25)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 高森 弘樹

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100112128

弁理士 村山 光威

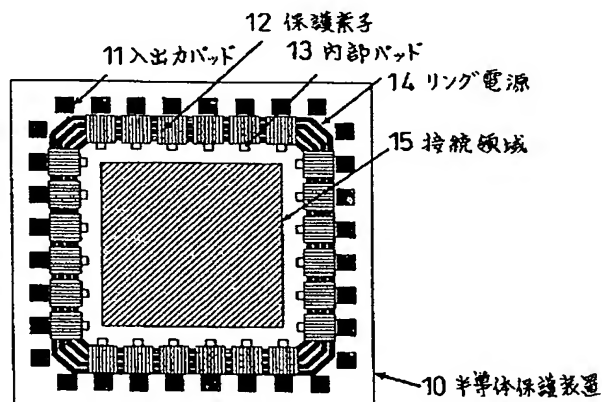
Fターム(参考) 5F038 BE07 BH11 BH13 CA03 CA10
CD02 CD03 CD18 DF01 EZ20

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 半導体集積回路のチップサイズの縮小、基板電位の安定化、信頼性の向上を図り得る半導体装置を提供する。

【解決手段】 半導体集積回路の入出力セルにおける入出力パッド11と保護素子12を半導体集積回路から分離した形で別の基板に配置して半導体保護装置10を形成し、半導体保護装置10の内側に、前記半導体集積回路との接続領域15を設けたものである。



1

【特許請求の範囲】

【請求項1】 外部からのサージ電圧や異電源間に対する保護素子と、リードフレームからボンディングされるパッドと、内部回路との入出力インターフェースをとるトランジスタから構成される入出力回路を含む半導体集積回路における前記保護素子と前記パッドのみを前記半導体集積回路とは別基板に分離して構成した半導体保護装置と、前記半導体保護装置の内側に形成した接続領域を備え、前記半導体保護装置は前記接続領域を囲むように配置されていることを特徴とする半導体装置。

【請求項2】 半導体保護装置内の接続領域内に、前記半導体集積回路の基板電位を安定させるための電源供給エリアを配置したことを特徴とする請求項1記載の半導体装置。

【請求項3】 半導体保護装置の基板の裏面には前記半導体集積回路に対してフリップさせて結合する際のワイヤーボンディングを可能にするパッドを配置したことを特徴とする請求項1記載の半導体装置。

【請求項4】 半導体保護装置の接続領域において前記半導体集積回路をフリップさせて結合する際の前記半導体集積回路の電源配線に対して前記接続領域内に半導体保護装置まで延在するコンタクトを形成したことを特徴とする請求項1記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体集積回路の入出力インターフェースに必要となる半導体保護装置を含む半導体装置に関するものである。

【0002】

【従来の技術】一般的な半導体保護装置を含む半導体装置は外部とのインターフェースをとるための入出力I/Oセルと、実際の機能を実現するスタンダードセルや機能ブロックから構成されており、以下図面を参照しながら従来のこの種の半導体装置について説明する。

【0003】図11は従来の半導体保護装置を含む半導体装置を示す概略構成図、図12は図11に示す半導体装置の入出力セルの概略構成図、図13は一般的な入出力セルの回路構成を示す回路図である。図11において、111は入出力セル、112はメモリなどの機能ブロック、113はロジックを構成するスタンダードセルブロックである。さらに入出力セルは、図12のような構成になっており、内部回路への信号供給、あるいは内部回路から信号を受け取る入出力回路121と、外部からのサージ電圧あるいは異電源間に対する保護素子122と、リードフレームからのボンディングを可能とするパッド123を備えている。

【0004】一般的な入出力セルにおいては図13に示すように、パッド131からの信号は、サージ保護素子(ダイオード)132を介して内部とのインターフェースを行なう入出力回路133、内部回路134へ導かれ

2

る。このように必ず保護素子を介して内部へ信号が供給されるようなバスとなっており、また、半導体基板への電位供給は、アルミ配線からのコンタクトにより実現されているものや、リードフレームにおけるダイパッドから供給されているものが一般的である。

【0005】

【発明が解決しようとする課題】しかしながら、このような構成では、入出力セル内の保護素子やパッドを内部回路と同一基板に構成しているため、半導体集積回路のチップ面積が大きくなり、ウェハ上に配置可能なチップの数を減少させてしまう。また、半導体集積回路の機能や性能、信頼性を満足するためには、この保護素子の必要性は大きく、その面積を小さくするのは非常に困難である。さらにまた、基板の電位供給においても、アルミ配線からのコンタクトでは基板全体の電位は安定しにくく、これをリードフレームから供給しようとするればそれ専用のピンを準備しなければならない等種々の問題点があった。

【0006】本発明は上記従来の問題点を解決するものであり、半導体集積回路のチップサイズの縮小、基板電位の安定化、信頼性の向上を図り得る半導体装置を提供することを目的とする。

【0007】

【課題を解決するための手段】本発明の半導体装置は、半導体集積回路の入出力セルにおけるパッドと保護素子を半導体集積回路から分離した形で別の基板に配置して半導体保護装置を形成し、前記半導体保護装置の内側に、前記半導体集積回路との接続領域を設けたものである。

【0008】この発明によれば半導体集積回路のチップサイズの縮小、基板電位の安定化、信頼性の向上を図ることができる。

【0009】

【発明の実施の形態】以下本発明の各実施の形態について図面を参照しながら説明する。

【0010】(実施の形態1)図1は本発明の半導体装置の実施の形態1における基本構成を示す平面図、図2は本発明の半導体装置の実施の形態1における半導体集積回路を含む構成を示す平面図である。図1において、10は半導体保護装置、11はリードフレームとボンディングされる入出力パッド、12はサージ電圧や異なる電源間電圧に対して必要となる保護素子、13は半導体集積回路と接続するための内部パッド、14は各保護素子を經由するリング電源、15は半導体保護装置10と半導体集積回路の接続領域である。

【0011】以下この接続領域15に半導体集積回路を配置接続する場合について説明する。本実施の形態にあっては、半導体保護装置10の入出力パッド11に、リードフレームからのボンディングによって信号を供給し、保護素子12によって、外部からのサージ電圧を逃

3

し、また多電源を供給する場合は異電源間の保護をとるものであり、また、図2に示すように、半導体集積回路20の周辺には、この半導体保護装置10の内部パッド21とボンディングするための小パッド22を設ける。これにより半導体集積回路20に信号を供給する前に、確実にサージ電圧による影響を除去することが可能となる。

【0012】以上のように本実施の形態によれば、半導体集積回路はパッドと保護素子の面積分を小さくすることが可能となり、入出力回路と内部回路のみで構成する半導体集積回路を得ることができる。また、半導体集積回路とは別基板に保護素子を構成しているため、複雑なプロセスを使用する必要がなく、設計する半導体集積回路のサイズや、リードフレームとのボンディングパッド配置座標、半導体集積回路とワイヤーボンディングする内部パッドの配置座標などを決定すれば、半導体集積回路と半導体保護装置を別のラインで早期に製造しておくことができ、半導体保護装置の使用に伴う開発期間の延長をなくすることができる。

【0013】さらに、半導体集積回路のESD耐圧が小さい場合や、内部へのサージ印加を完全に除去できない場合は、半導体保護装置の保護素子の数あるいは大きさの変更で対応が可能であるため、半導体集積回路を修正するコスト、設計工数を削減することができる。

【0014】（実施の形態2）図3は本発明の半導体装置の実施の形態2における基本構成を示す平面図であり、図中、30は半導体保護装置、31は電源が供給されるパッド、32はその保護素子、33は半導体集積回路との接続領域、34はこの接続領域33への基板と同電位の電源配線パターン、35はスリットである。

【0015】このように構成することにより、外部から半導体集積回路の基板と同じ電位の電源供給がされているパッド31に対しては、内部に供給する内部パッド21から半導体集積回路との接続領域33の内側に、半導体集積回路の基板に電源供給できるようにアルミなどの電源配線パターン34を形成することによって、基板の電位を安定させることが可能となり、ノイズなどの影響を抑えることができる。

【0016】以上のように本実施の形態によれば、電源供給エリアを多く、あるいは大きく、例えばアルミパターンによる配線パターンを設けることにより、半導体集積回路の基板電位をより安定させることが可能となる。

【0017】（実施の形態3）図4は本発明の半導体装置の実施の形態3において搭載される半導体集積回路の基板構成を示す斜視図、図5は本発明の半導体装置の実施の形態3における半導体保護装置の基板表面と裏面の構成を示す平面図で同図（a）は裏面、同図（b）は表面を示す。図6は本発明の半導体装置の実施の形態3における半導体保護装置と半導体集積回路との接続状態を示す側面図、図7は本発明の半導体装置の実施の形態3

4

における半導体保護装置基板のパッド配置の他の例を示す平面図であり、同図（a）は裏面の状態、同図（b）は表面の状態を示している。

【0018】図4において、40は半導体集積回路、41は半導体集積回路40の表面、42は同裏面、43はパッドを形成するため表面から裏面にかけてレーザーなどであけた穴を表している。また、図5において、50は半導体保護装置、51はパッド、52は保護素子を示しており、これと半導体集積回路40が接続されることになる。

【0019】本実施の形態においては最初に保護素子52、電源配線などをパッド51を形成するエリアのみ残して拡散を行ない、最後にパッド51を形成するエリアをレーザーメスなどで周囲のパターンを壊さずに穴をあけ、そこにアルミなど導電性の材質を埋め込む。これにより半導体保護装置の裏面にボンディングを行なっても表面に形成した保護素子52への信号パスが実現できる。また、この半導体保護装置50は図6に示すように、フリップさせて半導体集積回路40と接続するため、金バンプ60などを用いて半導体集積回路40の外部ピンと接続できるようにする。なお、半導体保護装置50をフリップさせて半導体集積回路40と接続する場合、図7に示すように、半導体保護装置50のパッド71を、ワイヤーボンディング可能な範囲で、保護素子72よりも内側に配置すればチップサイズと同じ、あるいは小さいサイズで接続することができる。

【0020】以上のように本実施の形態によれば、半導体保護装置をフリップさせて半導体集積回路に接続する際、パッドも裏向きになりリードフレームとのワイヤーボンディングが困難になるのを、保護素子と接続可能なパッドを半導体保護装置基板の裏面にも形成することによって容易なボンディングが可能となる。

【0021】（実施の形態4）図8は本発明の半導体装置の実施の形態4における基本構成を示す平面図、図9は本発明の半導体装置の実施の形態4において搭載される半導体集積回路上に追加された基板コンタクトによる容量を概念的に示す回路図、図10は本発明の半導体装置の実施の形態4における半導体集積回路の搭載により追加された容量を概念的に示す回路図である。図8において、80は半導体保護装置、81は半導体保護装置80の接続領域に設けられ、半導体集積回路の電源配線と同じ位置に配置した基板コンタクトパターンであり、半導体保護装置80の内部パッドまで延在してVSS（グランド）側に接続する基板コンタクトに対しては、VSSを供給し、VDD側に接続する基板コンタクトに対しては、VDDを供給するものである。

【0022】この半導体保護装置80をフリップさせて半導体集積回路と接続させる場合は、半導体集積回路上の配線を半導体保護装置80に延在した基板コンタクトパターン81と接続できるよう、コンタクトホールを形

5

成しておく。この半導体集積回路上に追加した基板コンタクトは、その配線に対して基板との容量を増加させ、ラッチアップ対策が図られることになるが、半導体保護装置 80 と接続することで基板との容量をさらに増加させることができ、同じチップサイズでチップの容量を増加させる有効な手段となる。

【0023】図 9 における容量 91 は半導体集積回路上で追加された基板コンタクトによる容量であり、図 10 における容量 101 は図 9 の容量 91 に対応し、容量 102 は半導体集積回路に半導体保護装置 80 を接続したことにより追加された容量を表している。この場合、図 10 の容量 101 と容量 102 の合計容量 C2 は、図 9 の容量 91 の全容量 C1 の 2 倍となり、倍の容量を付加できたことになる。

【0024】以上のように本実施の形態によれば、半導体保護装置に対して、フリップさせて半導体集積回路を接続する際、半導体保護装置に半導体集積回路のアルミパターンまでの基板コンタクトを形成しておき、半導体集積回路上の電源／グラウンド配線にコンタクトホール（絶縁膜の穴）マスクを形成して接合すれば、同じ面積に

【0025】

【発明の効果】以上のように本発明によれば、半導体集積回路において入出力パッド、保護素子を構成する部分の面積を削減できるのでチップサイズの縮小と信頼性の向上を図ることができ、また、半導体集積回路とは別基板に保護素子を構成しているため、プロセスの微細化の影響による半導体集積回路のサージ保護機能の低下を防ぐことができるという有利な効果が得られる。

【図面の簡単な説明】

【図 1】本発明の半導体装置の実施の形態 1 における基本構成を示す平面図

【図 2】本発明の半導体装置の実施の形態 1 における半導体集積回路を含む構成を示す平面図

【図 3】本発明の半導体装置の実施の形態 2 における基本構成を示す平面図

10

20

30

*

6

*【図 4】本発明の半導体装置の実施の形態 3 において搭載される半導体集積回路の基板構成を示す斜視図

【図 5】本発明の半導体装置の実施の形態 3 における半導体保護装置の基板表面と裏面の構成を示す平面図

【図 6】本発明の半導体装置の実施の形態 3 における半導体保護装置と半導体集積回路との接続状態を示す側面図

【図 7】本発明の半導体装置の実施の形態 3 における半導体保護装置のパッド配置の他の例を示す平面図

【図 8】本発明の半導体装置の実施の形態 4 における基本構成を示す平面図

【図 9】本発明の半導体装置の実施の形態 4 において搭載される半導体集積回路上に追加された基板コンタクトによる容量を概念的に示す回路図

【図 10】本発明の半導体装置の実施の形態 4 における半導体集積回路の搭載により追加された容量を概念的に示す回路図

【図 11】従来の半導体保護装置を含む半導体装置を示す概略構成図

【図 12】従来の半導体保護装置を含む半導体装置の入出力セルの概略構成図

【図 13】一般的な入出力セルの回路構成を示す回路図

【符号の説明】

11, 31, 51, 71 入出力パッド

12, 32, 52, 72 保護素子

13, 21 内部パッド

14 リング電源

15, 33 接続領域

22 小パッド

34 配線パターン

41 半導体集積回路の表面

42 半導体集積回路の裏面

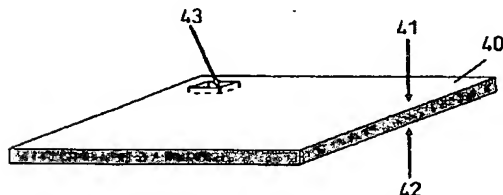
60 金バンプ

81 基板コンタクトパターン

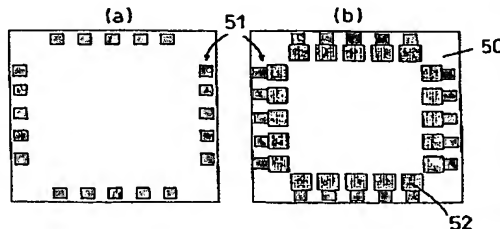
91, 101 半導体集積回路のみで形成される容量

102 半導体保護装置を接続することにより形成される容量

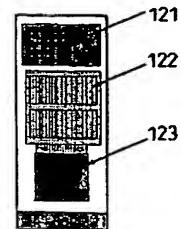
【図 4】



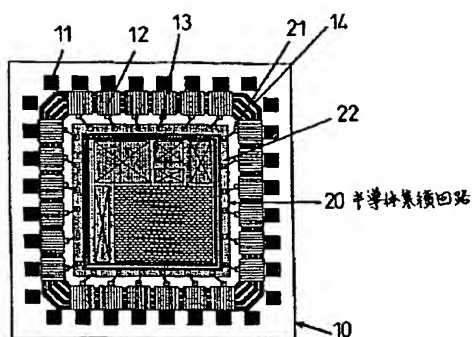
【図 5】



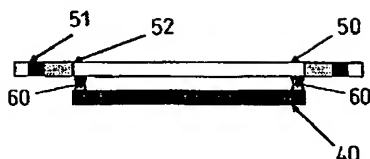
【図 12】



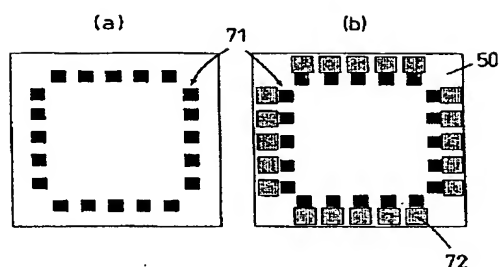
【图 2】



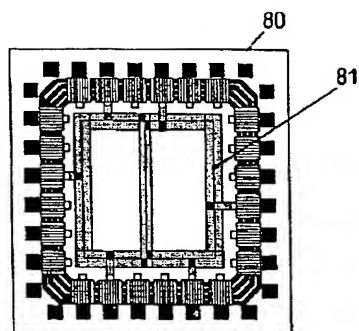
【图 6】



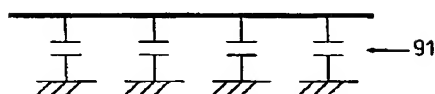
【图7】



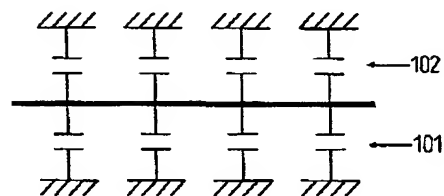
【図.8】



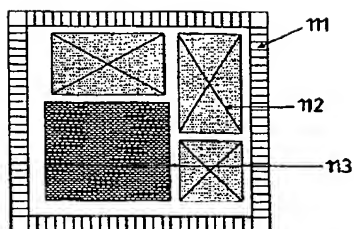
【図 9】



【图 10】



【図 1 1】



【图 13】

